

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09036849

(43)Date of publication of application: 07.02.1997

(51)Int.Cl.

H04L 7/027

H03K 5/00

H04L 7/00

(21)Application number: 07184447

(71)Applicant:

HITACHI LTD  
NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing: 20.07.1995

(72)Inventor:

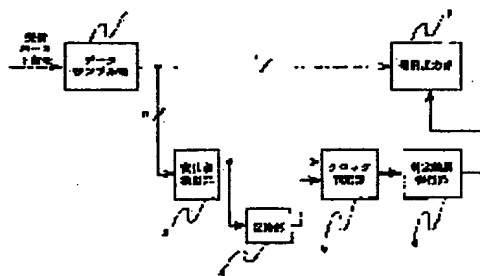
IWAMURA ATSUSHI  
ASHI MASAHIRO  
AKIWA TADASHI  
OKUMURA YASUYUKI

(54) BIT SYNCHRONIZATION CIRCUIT/SYSTEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enable the high speed transmission of an optical burst signal to make resistance to duty fluctuation high and to be synchronized with a reception burst signal in a short period.

**SOLUTION:** This circuit is provided with a data sampling part 1 for sampling an input signal and generating signals of n-systems and a selection output part 2 for selecting the signal synchronized with the reception burst input signal among the sampled n-system signals. There are also provided with a change point detection part 3 detecting the rising/trailing change points of the signal from the data sampling part 1, a holding part 4 holding a change point detection result, a clock judgement part 5 judging the signal which the selection output part 2 is to select, based on either output result in the change point detection part 3 or the holding part 4 or the both results, and a judgement result holding part 6 holding the output result of the clock judgement part 5 for prescribed timing.



LEGAL STATUS

Best Available Copy

特開平9-36849

(43) 公開日 平成9年(1997) 2月7日

(5) Int. Cl.	識別記号	庁内整理番号	P I	技術表示箇所
H 0 4 L 7/027			H 0 4 L 7/02	A
H 0 3 K 5/00			7/00	A
H 0 4 L 7/00			H 0 3 K 5/00	G

審査請求 未請求 請求項の数24 OL (全 12 頁)

(21) 出願番号	特開平7-18447	(71) 出願人	00005108 株式会社日立製作所
(22) 出願日	平成7年(1995) 7月20日	(71) 出願人	00004228 東京都市立区神田区西新三丁目19番2号 日本電信電話株式会社 東京都市立区西新三丁目19番2号 岩村 肇 神奈川県横浜市戸塚区戸塚町216番地 株 式会社日立製作所情報通信事業部内 青 賢浩 神奈川県横浜市戸塚区戸塚町216番地 株 式会社日立製作所情報通信事業部内 (72) 発明者 (73) 発明者 (74) 代理人

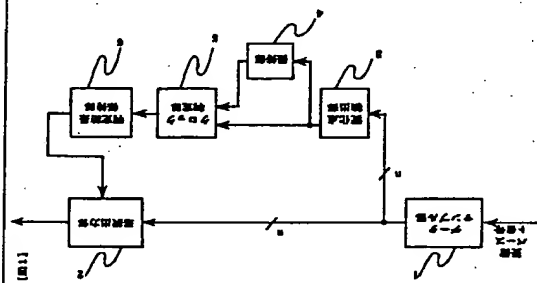
最終頁に続く

## (54) 発明の名称) ビット同期回路及びビット同期方式

## (57) 【要約】

【目的】 元バースト信号の高速伝送において、デューティ変動に対する耐性が強く、受信バースト信号に短い区間で同期可能なビット同期回路及び同期方式。

【構成】 本発明のビット同期回路は、入力信号をサンプリングしてn系列の信号とするデータサンプリング部1と、サンプリングされたn系列信号の中から受信バースト入力信号に同期した信号を選択する選択出力部2とを備え、さらに、データサンプリング部1からの信号の立ち上がり及び立ち下がり変位点を検出する変位点検出部3と、変位点検出結果を保持する保持部4と、変位点検出部3及び保持部4からの出力結果のどちらか、あるいは、両方に基いて選択出力部2が選択すべき信号を判定するクロック判定部5と、クロック判定部5の出力結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成される。



## 【特許請求の範囲】

【請求項1】 受信バースト入力信号をサンプリングし、n系列(但し、nは2以上の整数)の信号として出力するデータサンプリング部と、前記データサンプリング部によりサンプリングされたn系列の信号の中から受信バースト入力信号に同期した信号を選択する選択出力部と、前記データサンプリング部において、前記データサンプリングによりサンプリングされたn系列の信号のそれぞれに立ち上り変位点及び立ち下がり変位点を検出する変位点検出部と、前記変位点検出部により検出された変位点検出結果をあるタイミミングだけ保持する保持部と、前記変位点検出部及び前記保持部からの出力結果のどちらか一方あるいは両方に基いて前記選択出力部が選択すべき信号を判定するクロック判定部と、前記クロック判定部の出力結果をあるタイミミングだけ保持する判定結果保持部とを備えることを特徴とするビット同期回路。

【請求項2】 前記データサンプリング部は、互いに位相異なる複数のn系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト入力信号をサンプリングし、n系列の信号として出力するサンプリング手段を備えて構成されることを特徴とする請求項1記載のビット同期回路。

【請求項3】 前記変位点検出部は、サンプリングされた受信バースト信号の立ち上り及び立ち下がり変位点を検出し、受信バースト信号のデータ周期と同一時間周期毎の変位点の位置及び変位点の数を判定する判定処理手段を備えて構成されることを特徴とする請求項1または2記載のビット同期回路。

【請求項4】 前記保持部は、変位点検出部からの変位点検出結果を受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持する保持処理手段を備えて構成されることを特徴とする請求項1、2または3記載のビット同期回路。

【請求項5】 前記クロック判定部は、変位点検出部及び保持部からのどちらかあるいは両方から選択された受信バースト信号の変位点の位置に基づき、受信バースト信号の立ち上り及び立ち下がり2つの変位点の中間位相に最も近い位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を備えて構成されることを特徴とする請求項1ないし4のうちいずれか1記載のビット同期回路。

【請求項6】 前記クロック判定部は、変位点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上り及び立ち下がり変位点の位置に基づき、変位点検出部からの変位点検出結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成されることを特徴とする請求項1ないし5のうちいずれか1記載のビット同期回路。

1ないし4のうちいずれか1記載のビット同期回路。

【請求項7】 前記クロック判定部は、変位点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上り及び立ち下がり変位点の位置に基づき、変位点検出部からの変位点検出結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成されることを特徴とする請求項1ないし4のうちいずれか1記載のビット同期回路。

【請求項8】 前記クロック判定部は、変位点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上り及び立ち下がり変位点の位置に基づき、変位点検出部からの変位点検出結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成されることを特徴とする請求項1ないし4のうちいずれか1記載のビット同期回路。

【請求項9】 前記クロック判定部は、変位点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上り及び立ち下がり変位点の位置に基づき、変位点検出部からの変位点検出結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成されることを特徴とする請求項1ないし4のうちいずれか1記載のビット同期回路。

【請求項10】 前記クロック判定部は、変位点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上り及び立ち下がり変位点の位置に基づき、変位点検出部からの変位点検出結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成されることを特徴とする請求項1ないし4のうちいずれか1記載のビット同期回路。

【請求項11】 前記判定結果保持部は、変位点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上り及び立ち下がり変位点の位置に基づき、変位点検出部からの変位点検出結果をあるタイミミングだけ保持する判定結果保持部6とを備えて構成されることを特徴とする請求項1ないし10のうちいずれか1記載のビット同期回路。

ち下りの変化点が検出されない場合、これまで決定していたクロック判定部での判定結果をあるタイミングだけ保持する保持手段を備えて構成されることを特徴とする請求項1ないし10のうちいずれか1記載のビット同期回路。

【請求項12】 前記判定結果保持部からの情報をもとに時間内で平均化し、選択出力部の選択情報とする平均化手段をさらに備えることを特徴とする請求項1ないし11のうちいずれか1記載のビット同期回路。

【請求項13】 受信バースト入力信号をサンプリングしてn系列（但し、nは2以上の整数）の信号とし、それぞれサンプリングされたn系列の信号の中から受信バースト入力信号に同期した信号を選択し出力するビット同期方式において、サンプリングされた受信バースト信号の立ち上がりの変化点及び立ち下りの変化点を検出し、その変化点検出結果をあるタイミングだけ遅延させ、前記サンプリングされた受信バースト信号の立ち上がりの変化点及び立ち下りの変化点の検出結果と前記あるタイミングだけ遅延された変化点の検出結果とを比較し、一方あるいは両方に基いて前記サンプリングされた信号の中から受信バースト入力信号に同期した信号を判定し、その判定結果をあるタイミングだけ保持することを特徴とするビット同期方式。

【請求項14】 互いに位相の異なる複数のn系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト入力信号をサンプリングしn系列の信号とし、出力する処理を含むことを特徴とする請求項13記載のビット同期方式。

【請求項15】 多相サンプリングされた受信バースト信号の立ち上がり及び立ち下りの変化点を検出し、受信バースト信号のデータ周期と同じ時間周期毎の変化点の位相位置及び変化点の数を判定する処理を含むことを特徴とする請求項13または14記載のビット同期方式。

【請求項16】 サンプリングされた受信バースト信号の立ち上がり及び立ち下りの変化点を検出した検出結果を、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持する処理を含むことを特徴とする請求項13、14または15記載のビット同期方式。

【請求項17】 受信バースト信号の変化点の位相位置に基づいて、受信バースト信号の立ち上がり及び立ち下りの2つの変化点の中間位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する判定処理を含むことを特徴とする請求項13ないし16のうちいずれか1記載のビット同期方式。

【請求項18】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の位相位置及び変化点の数と、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の位相位置及び数の、どちらから

方、あるいは両方に基いて、サンプリングされた信号の中から受信バースト入力信号に同期した信号を判定する処理を含むことを特徴とする請求項13ないし請求項16のうちいずれか1記載のビット同期方式。

【請求項19】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の数が1で、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の数が0の場合、前記1周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の位相位置に対して、ある固定タイミングだけずらした位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし請求項16のうちいずれか1記載のビット同期方式。

【請求項20】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の数が1で、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の数が1の場合、前記1周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の位相位置と、前記1周期内の受信バースト信号とを、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし請求項16のうちいずれか1記載のビット同期方式。

【請求項21】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の数が1で、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の数が2の場合、前記1周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の位相位置と、前記1周期内の2つの変化点の内の後者の位相位置とを、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし18のうちいずれか1記載のビット同期方式。

【請求項22】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の数が2の場合、前記1周期内の2つの変化点の位相位置の中間位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし18のうちいずれか1記載のビット同期方式。

【請求項23】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下りの変化点の検出されない場合、これまでに決定していた受信バースト入力信号に同期した信号をあるタイミングだけ保持することを特徴とする請求項13ないし22のうちいずれか1記載のビット同期方式。

【請求項24】 サンプリングされたn系列の受信バースト信号の中から、受信バースト信号に同期した信号を選択するための情報とある時間内で平均化する平均化処理を含むことを特徴とする請求項13ないし23のうちいずれか1記載のビット同期方式。

#### 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バースト信号の位相に同期させて信号の再生を行うバースト伝送対応ビット同期回路及びビット同期方式に係り、特に、ポイント対マルチポイント方式の光伝送システムにおいて、ポイント間でマルチポイント間からのバースト信号を受信する場面に適用して好適なビット同期回路及びビット同期方式に関する。

【0002】

【従来の技術】 バースト伝送信号に対するビット同期方式に関する従来技術として、1台の通信装置と複数の通信装置とを光分配装置（スターカプラー）を介して接続して構成される、ポイント対マルチポイント方式の光伝送システムにおけるビット同期方式が知られている。

【0003】 図9はこのような従来技術によるポイント対マルチポイント方式の光伝送システムの構成例を示すブロック図、図10は1つの通信装置が複数の通信装置からの情報と受信する信号の状況を説明する図であり、以下、図9、図10を参照して従来技術によるビット同期方式について説明する。図9において、100、101-1、101-2は通信装置、102はスターカプラーである。

【0004】 図9は伝送システムは、1台の通信装置100と複数の通信装置101-1、101-2とがスターカプラー102を介して接続され、ポイント対マルチポイント方式の光伝送システムを構成している。このように構成される光伝送システムにおいて、通信装置101-1、101-2の1つから通信装置100に情報セルを送信する場合、通信装置100と各通信装置101-1、101-2との距離差のために、各通信装置101-1、101-2から通信装置100に送信される情報セルは、それぞれ、先レベル、及び、通信装置100の装置内部システムクロックとの位相差が異なる状態であり、バースト的に伝送されて通信装置100に到着することになる。

【0005】 図10は前述したような通信装置100が通信装置101-1、101-2からの情報セルを受信する場合のバースト信号の先レベルを示している。この図から判るように、通信装置100に到着する通信装置101-1、101-2からの情報セルのバースト信号の先レベルがそれぞれ大きく相違している。また、図示していないが、これらのバースト信号は、それぞれ、通信装置100の装置内部システムクロックとの位相差が異なることになる。

【0006】 通信装置100は、到着したバースト信号を光/電気変換装置で電気信号に変換した後ビット同期を行う。この通信装置100におけるビット同期のために、バースト信号の先レベルには、1/0の交替信号からなるビット同期用ビットが設けられている。しかし、ビット同期用ビットは、伝送効率を考慮すると、限られた数ポイント程度しか設けることができないため、通信装置100は、ビット同期用ビットのビット同期用ビットの区間内に行う必要がある。

【0007】 前述したようなバースト伝送信号に対するビット同期回路に関する従来技術として、例えば、「PDS光加入者システムにおけるバースト信号対応ビット同期回路」（特許全文（特）B-830、1993）に記載された技術が知られている。

【0008】 この従来技術は、受信バースト信号を多相化し、受信バースト信号の変化点から半位相ずれた位相位置でリタイミングするビット同期回路によりビット同期を行うというものである。なお、この従来技術では、伝送速度として、60Mbps程度が規定されている。

【0009】

【発明が解決しようとする課題】 前述した図9に示すようなシステムにおいて、高速伝送（15.5、52Mbps程度）を行なう場合、通信装置100で受信されたバースト信号の先レベルが変動の際の自動リタイミングの遅延の遅れ等により、入力データのデューティ比の変動が顕著になってしまう。

【0010】 図11はこのことを説明する図の時間変化と識別された信号との関係を示す図である。

【0011】 図11において、図11（a）は受信した光信号、図11（b）は光信号を識別するための識別信号、図11（c）は識別された信号を示しており、この図から両者の時間的変化が異なる場合、受信された信号のデューティ比が変化してしまうことが判る。

【0012】 一般に、高速伝送を行うとすると、ジッタ、電圧変動等の影響のために、同期を行う場合のリタイミングの精度が更に悪化する。このため、前述した図9に示すようなシステムに前述したP1し同期による同期方式を適用した場合、従来技術のようなリタイミングの精度低下として、受信データの位相点から固定相だけずれた位相を採用する方式は、前述したようなデューティ変動に対する耐力が少ないという問題点を有している。

【0013】 本発明の目的は、前述した従来技術の問題点を解決し、デューティ変動に対する耐力の高いビット同期回路及びビット同期方式を提供することにある。

【0014】

【課題を解決するための手段】 本発明によれば、前記の目的は、ビット同期回路を、受信バースト入力信号をサンプリングしてn系列（但し、nは2以上の整数）の信号とするデータサンプリング部と、データサンプリング部でサンプリ

ングされたn系列信号の中から受信バースト信号を同期した分を選択して出力する選択出力部とを備え、さらに、前記データサンプリング部でサンプリングされたn系列の信号の各々の立ち上がり及び立ち下がり変化した点検出する変位点検出部と、前記変位点検出部にて検出した変位点検出部及び前記変位点検出部からの出力結果のどちらか、あるいは両方に基づいて前記選択出力部に選択すべき信号を判定するクロック判定部と、前記クロック判定部の出力結果をあるタイミミングだけ保持する判定結果保持部とを備えて構成することにより達成される。

【0015】データサンプリング部は、互いに位相の異なるn系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト信号をサンプリングし、n系列の信号として出力するサンプリング手段を含むことができる。

【0016】変位点検出部は、受信バースト信号の立ち上がり及び立ち下がり変位点を検出し、受信バースト信号と同じ時間間隔毎の変位点の位相位置及び変位点を判定する判定処理手段を含むことができる。

【0017】保持部は、変位点検出部の変位点検出結果を受信バースト信号のデータ周期と同じ時間間隔の1周期分だけ保持する保持処理手段を含むことができる。

【0018】クロック判定部は、判定処理として、変位点検出部及び保持部のどちらか、あるいは両方から選出された受信バースト信号の立ち上がり及び立ち下がり変位点を検出し、受信バースト信号の立ち上がり及び立ち下がり変位点の中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を含むことができる。

【0019】クロック判定部における判定処理として、さらに、変位点検出部から出力される受信バースト信号のデータ周期と同じ時間間隔内の受信バースト信号の立ち上がりまたは立ち下がり変位点の位相位置及び変位点の数と、保持部において受信バースト信号のデータ周期と同じ時間間隔の1周期分だけ保持された変位点検出部からの変位点の位相位置及び数の、どちらか、あるいは両方に基づいて選択出力部が選択すべき信号を判定する判定処理手段を含むことができる。この判定処理手段の具体的な処理は以下の通りである。

【0020】変位点検出部から出力される、受信バースト信号のデータ周期と同じ時間間隔内の受信バースト信号の立ち上がりまたは立ち下がり変位点の数nで、保持部において受信バースト信号のデータ周期と同じ時間間隔の1周期分だけ保持された変位点検出部からの変位点の数が0の場合、前記変位点検出部から出力された変位点の位相位置に対してある固定タイミミングだけずらした位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

【0021】変位点検出部から出力される、受信バースト

ト信号のデータ周期と同じ時間間隔内の受信バースト信号の立ち上がりまたは立ち下がり変位点の数nで、保持部において受信バースト信号のデータ周期と同じ時間間隔の1周期分だけ保持された変位点検出部からの変位点の数が1の場合、前記変位点検出部から出力された変位点の位相位置と、前記変位点検出部から出力された変位点の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

【0022】変位点検出部から出力される、受信バースト信号のデータ周期と同じ時間間隔内の受信バースト信号の立ち上がりまたは立ち下がり変位点の数nで、保持部において受信バースト信号のデータ周期と同じ時間間隔の1周期分だけ保持された変位点検出部からの変位点の数が2の場合、前記変位点検出部から出力された変位点の位相位置と、前記保持部からの出力された2つの変位点の内の後者の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

【0023】変位点検出部から出力される、受信バースト信号のデータ周期と同じ時間間隔内の受信バースト信号の立ち上がりまたは立ち下がり変位点の数nで、場合、前記変位点検出部から出力された2つの変位点の位相位置と、前記保持部からの出力された2つの変位点の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

【0024】判定結果保持部は、受信バースト信号のデータ周期と同じ時間間隔内の受信バースト信号の立ち上がりまたは立ち下がり変位点の検出されない場合、これまでに決定していたクロック判定部での判定結果をあるタイミミングだけ保持する保持手段を備えることができる。

【0025】また、判定結果保持部からの情報がある時間内で平均化し、選択出力部の選択情報とすることができ。

【0026】【作用】本発明は、受信バースト信号をサンプリングし立ち上がり及び立ち下がり変位点を検出し、その結果を遅延させて過去からの変位点情報を併せて受信バースト信号に同期した信号を判定している、で、デューティ変動を考慮した受信バースト信号の同期判定を行うことができる。

【0027】また、受信バースト信号をサンプリングする手段として、互いに位相の異なるn系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト信号をサンプリングし、それらをn系列の信号として出力している、で、遅延時の動作に適合することができる。

【0028】さらに、本発明は、変位点検出情報として変位点の位置のみならず1周期内の変位点の数を検出し、それらの情報を1周期分遅延させることにより、選

延させた情報及び遅延させた情報、すなわち、過去2周期分の変位点の位置及び数を受信バースト信号に同期した信号の判定のための情報とすることができる。

【0029】そして、受信バースト信号に同期した信号を判定する処理として、従来の場合のように、信号の立ち上がり変位点から固定値だけずらした点をリタイミミング位置とするのではなく、立ち上がり変位点と立ち下がり変位点との両者の中間点をリタイミミング位置とするようにしている、で、前述したようなデューティ変動が生じた際に、常にリタイミミングの理想位置でリタイミミングすることができる。

【0030】また、変位点の数も考慮した受信バースト信号に同期した信号を判定する処理として、過去の2周期内の変位点の数で場合分けした処理を使用することが可能となる。

【0031】図8は受信バースト信号に同期した信号を判定する処理を説明する装置内部ブロックと受信バースト信号との位相関係の例を示す図であり、以下、この図を参照して、過去の2周期内の変位点の数で場合分けした処理により受信バースト信号に同期した信号を判定する方法を説明する。以下では、過去2周期の変位点の数を(現在の変位点、過去の変位点)という記号で記述して説明する。図8(a)は本発明において、図8(b)～図8(f)は受信バースト信号の例である。

【0032】(1, 0)の場合、例えば、図8(b)に示すように、現在の周期でビット同期用信号の先頭を検出した場合に相当し、現在の変位点から固定値だけずらした点をリタイミミング位置とする。

【0033】(1, 1)の場合、例えば、図8(c)に示すように、過去の周期でビット同期用信号の先頭を検出し、現在の周期でビット同期用信号の終了を検出した場合、あるいは、受信バースト信号と装置内部クロックの位相差が180°に近いような場合に相当し、2周期内の2つの変位点の中間点を算出してリタイミミング位置とする。これにより、受信バースト信号のデューティ変動に対応が可能である。

【0034】(1, 2)の場合、例えば、図8(d)に示すように、受信バースト信号と装置内部クロックの位相差が0°に近く、かつ、デューティ変動しているような場合に相当し、前周期の後半と現在の周期内の変位点の中間点を算出してリタイミミング位置とする。これにより、受信バースト信号のデューティ変動に対応が可能である。

【0035】現在の周期内の変位点数が2の場合、例えば、図8(e)に示すように、受信バースト信号と装置内部クロックの位相差が0°に近く、かつ、デューティ変動しており、後述の図8(f)のバターンの後で変位点を2つ検出した場合、あるいは、ビット同期用信号の

終了を検出したような場合に相当し、両変位点の中間点を算出してリタイミミング位置とする。これにより、受信バースト信号のデューティ変動に対応が可能である。

【0036】現在周期内の変位点数が0の場合、例えば、図8(f)に示すように、受信バースト信号と装置内部クロックの位相差が0°に近く、かつ、デューティ変動しており、前述の図8(c)のバターンの後で変位点を検出したような場合に相当し、これまでの判定の結果を保持してそれをリタイミミング位置とする。この場合にも、デューティ変動の場合に対応することができ、また、ビット同期用信号等ににより変位点が消失している場合にも対応することができる。

【0037】また、判定結果保持部からの情報がある時間内で平均化し、選択出力部の選択情報とすることにより、ビット同期用信号等により検出された変位点が突発的に異常な値となる場合にその効果を軽減することができる。

### 【0038】

【実施例】以下、本発明によるビット同期回路及びビット同期方式の実施例を図面により詳細に説明する。

【0039】図1は本発明の第1の実施例によるビット同期回路の構成を示すブロック図、図2は図1に示すビット同期回路の動作を説明するタイムチャート、図3は図1における変位点検出部の構成例を示すブロック図、図4は図1におけるデータサンプリング部の構成例を示すブロック図、図5は図4における多相クロック発生部の構成例を示すブロック図である。図1、図3～図5において、1はデータサンプリング部、2は選択出力部、3は変位点検出部、4は保持部、5はクロック判定部、6は判定結果保持部、20はラッチ部、21は変位点パルス検出部、22は変位点エンコーダ部、30は多相サンプリング部、31は多相クロック発生部、32はシフトレジスタ、33-1～33-7は遅延部、34は分周部である。

【0040】図1に示すビット同期回路は、受信バースト入力信号をサンプリングしてn系列(但し、nは2以上の整数)の信号とするデータサンプリング部1と、データサンプリング部1でサンプリングされたn系列信号の中から受信バースト入力信号に同期した信号を選択して出力する選択出力部2とを備えて構成される。

【0041】そして、図示本発明の実施例の特徴とするところは、前記受信バースト入力信号に同期した信号を判定する手段にあり、この判定手段は、データサンプリング部1によりサンプリングされたn系列の信号のそれぞれ立ち上がり及び立ち下がり変位点を検出する変位点検出部3と、変位点検出部3により検出された検出結果であるタイミミングだけ保持する保持部4と、変位点検出部3及び保持部4からの出力結果のどちらか、あるいは、両方に基づいて選択出力部2が選択すべき信号を判定する

るクロック判定部5と、クロック判定部5の出力結果をあるタイミングだけ保持する判定結果保持部6とを備えて構成される。

【0042】なお、以下の説明において、サンプリング用のn系列の番号である多相クロックの相数 $n$ を $n=8$ とするものとする。また、データサブブロック1でサンプリングされた8系列の番号のそれぞれに、必要に応じて、それをサンプリングした位相位置に従って順番に番号を付与して説明を行うこととする。また、本発明の実施例によるビット同期回路を構成する装置のシステムクロックを、入力データとの周波数と同じ周波数を持つクロックを、データサブブロック1は、多相クロックとして、図4(a)または図4(b)に示すように構成されればよい。図4(a)に示す構成例は、多相サブブロック3.0と多相クロック発生部3.1とにより構成され、多相クロック発生部3.1で発生させた多相クロックで受信パースト信号をサンプリングするものである。

【0044】多相クロック発生部3.1は、多相クロックの相数 $n$ を $n=8$ とすると、図5(a)に示すように、受信信号と同じ周波数を持つ多相クロックを $(n-1)=7$ 個の遅延部3.3-1〜3.3-7により、それぞれ1/8周遅のタイミングで(1/8周期)×7のタイミングまで遅延させ、1/8周期の位相差を持った多相クロックを生成するように構成されればよい。また、多相クロック発生部3.1は、図5(b)に示すように、受信信号の $n=8$ 倍の周波数を持つ高周波クロックを、分周部3.4により8分周するか、あるいは、分周部3.4により $n/2=4$ 倍の周波数を持つ高周波クロックの立ち上がり変換点をトリガとして4分周し、また、立ち上がり変換点をトリガとして4分周することにより、1/8周期の位相差を持った8相の多相クロックを生成するように構成することができる。

【0045】受信パースト信号のデータサブブロック1の図4(b)に示す構成例は、シフトレジスタ3.2を用いるもので、シフトレジスタ3.2により受信パースト信号を受信信号の $n=8$ 倍あるいは $n/2=4$ 倍の周波数を持つ高周波クロックでサンプリングし、n系列の番号として出力するものである。

【0046】変換点検出部3.3は、図3に示すように、ラッチ部2.0と、変換点パルス送出部2.1と、変換点エンコーダ部2.2とにより構成される。このように構成される変換点検出部3.3のラッチ部2.0は、データサブブロック1でサンプリングされた8系列の番号をデータサブブロックによりラッチする。変換点パルス送出部2.1は、ラッチされた8相の番号が、前のクロックでラッチされた番号すなわち前の番号の番号の位相と異なる場合に、前の番号の番号の位相と同じ場合に、しを出力して、8相のパルス列を生成する。このようにして生成されたパルス列における、日状態の番号の番号は、受信パースト信号の立

ち上がりあるいは立ち下がりの変換点が存在する位相位置に対応する番号となる。

【0047】変換点エンコーダ部2.2は、データサブブロック1の1周期毎に、変換点パルス送出部2.1から得られる8相のパルス列の中で、日状態となっているパルスの番号を検出し、さらに、その中で最も若い番号の番号(以降、番号Aと呼ぶ)、及び、最も古い番号の番号(以降、番号Bと呼ぶ)を出力して出力する。これにより出力される番号は、データサブブロック1の1周期内の受信パースト信号の立ち上がりまたは立ち下がりの変換点の位相位置を、多相クロック間の位相位置の単位で何位相目かを表わしたものに相当する。

【0048】保持部4は、変換点検出部3.3からの前送した出力をデータサブブロック1の1周期分の時間だけ保持する。この結果、保持部4から出力される結果は、データサブブロック1の1周期前に変換点検出部3.3から出力された変換点の番号である。但し、保持部4は、変換点検出部3.3でデータサブブロック1の1周期の時間変換点検出されないとき(これまでに保持していた変換点の番号+1周期分の長さ8)を保持する。

【0049】クロック判定部5は、変換点検出部3.3から出力された変換点の番号、及び、保持部4より出力された変換点検出部3.3から出力された変換点の番号のどちらか、あるいは両方の情報に基づいて、2つの変換点の中間にあたる番号を算出する。具体的には、クロック判定部5は、前記番号Aと前記番号Bとが一致しない場合、変換点検出部3.3から出力された変換点の番号Aと前記番号Bとの中間点の番号Cを算出する。

【0050】また、クロック判定部5は、前記番号A及び前記番号Bが一致し、かつ、データサブブロック1の1周期前に変換点検出されている場合、前記番号Bと保持部4より出力されたデータサブブロック1の1周期前の変換点の番号B(以降、B'という)との中間点の番号Cを算出し、前記番号Aと前記番号Bとが一致し、かつ、データサブブロック1の1周期前に変換点検出されていない場合、前送したように、保持部4からはデータサブブロック2周期前の変換点の番号B(以降、B'という) + 8が供給されるので、その(番号B' + 8)と前記番号Bとの中間点を算出してこれを番号Cとして出力する。

【0051】判定結果保持部6は、変換点検出部3.3から出力された変換点検出されない場合にこれまで判定していた前記番号Cを保持する。

【0052】選択出力部2.3は、データサブブロック1よりサンプリングされた8系列の番号の中から、前記番号Cと同じ番号に対応する番号を選択して出力する。

【0053】前述した本発明の第1の実施例の動作を示しているのが図2に示すタイムチャートである。

【0054】図2において、(a)はデータサブブロック(b)は受信パースト入力信号、(c)〜(f)は多相クロック、(d)〜(f)はデータサブブロック

1でサンプリングされた各入力信号、(c1)〜(e2)は変換点検出部3.3での前記番号A及び前記番号B、(f)は選択出力部2.3で選択された前記番号Cをそれぞれ示している。

【0055】本発明の第1の実施例は、図2の中で、データサブブロックの1周期1では、前記番号Aと前記番号Bの中間点を選択し、図2.2では図2.1での結果を保持し、図2.3では番号Bと図2.1の番号B(番号B')との中間点を選択し、図2.4では番号Bと図2.3の番号B(番号B')との中間点を選択している。

【0056】次に、本発明の第2の実施例によるビット同期回路について説明する。この本発明の第2の実施例は、クロック判定部5、入力データの変換点の位相位置及び変換点の数を判定するものであり、本発明の第1の実施例と同様の図1に示すサブブロック構成をもち、変換点検出部3.3、保持部4、クロック判定部5の詳細な構成が異なる。

【0057】本発明の第2の実施例の変換点検出部3.3は、第1の実施例の変換点検出部3.3と同様に、変換点の位相位置に対応する前送した番号A及び番号Bを検出し、さらに、前記データサブブロックの1周期内の変換点の数を検出して出力するように構成される。

【0058】また、保持部4は、第1の実施例の保持部4と同様に、変換点検出部3.3からの出力を前記データサブブロックの1周期分の時間だけ保持するが、変換点検出部3.3で変換点検出されないとき、前送した第1の実施例の場合のような特別な動作を行わないように構成される。

【0059】クロック判定部5は、変換点検出部3.3から供給される前記番号A、前記番号B、変換点の数、及び、保持部4から供給される前記データサブブロックの1周期前の前記番号A、前記番号B、変換点の数のどちらか、あるいは、両方の情報に基づいて2つの変換点の中間にあたる番号を算出するように構成される。

【0060】図6はこのクロック判定部5における判定処理を説明する図であり、以下、この図を参照して、クロック判定部5における判定処理を具体的に説明する。【0061】データサブブロックの1周期内の変換点の数が0の場合、保持されているデータサブブロックの1周期前の前記番号Aを出力する(図6(a))。データサブブロックの1周期内の変換点の数が1で、データサブブロックの1周期前の変換点の数が1で、データサブブロックの1周期前の変換点の数が0の場合、番号A(あるいは番号B)にデータサブブロックの1周期分の半分 $n/2=4$ を加えて、判定番号Cを出力する(図6(b))。データサブブロックの1周期内の変換点の数が1及び2の場合、番号A(あるいは番号B)とデータサブブロックの1周期前の番号B(番号B')との中間点を算出しこれを判定番号Cとして出力する(図6(c)、図6(d))。データサブブロックの1周期内の変換点の数が2の場合、番号Aに3を

足したものを判定番号Cとして出力する(図6(e))。

【0062】そして、判定結果保持部6は、前送した本発明の第1の実施例の場合と同様に、変換点検出部3.3から出力された変換点検出されない場合にこれまで判定していた前記番号Cを保持する。また、選択出力部2.3は、本発明の第1の実施例の場合と同様に、データサブブロック1でサンプリングされた8系列の番号の中から、前記番号Cと同じ番号に対応する番号を選択する。

【0063】図7は本発明の第3の実施例によるビット同期回路の構成を示すサブブロック図である。図7において、7は分周部であり、他の符号は図1の場合と同一である。

【0064】図7に示す本発明の第3の実施例は、図1により説明したビット同期回路において、判定結果保持部6の出力を分周部7を介して選択出力部6に与えるようにして図1に示す回路と相違し、その他は図1の場合と同様に構成されている。

【0065】この本発明の第3の実施例において、分周部7は、判定結果保持部6から供給される判定結果をデータサブブロックの2周期分の移動平均を行い選択出力部2に出力する。この平均化により、ビット同期誤り等により検出された変換点位置が突発的に異常な値となる場合にも、その異常を抑制することができる。

【0066】なお、平均する区間は、データサブブロックの2周期分に限らず3周期分であってもそれ以上であってもよい。

【0067】

【発明の効果】以上説明したように本発明によれば、リタイミング位相判定、受信パースト信号の立ち上がり立ち下がりとの変換点位置を使用して算出して行っているため、高周波伝送において、デューティ変動が生じた受信パースト信号に対して短い区間で同期を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるビット同期回路の構成を示すサブブロック図である。

【図2】図1に示すビット同期回路の動作を説明するタイムチャートである。

【図3】図1における変換点検出部の構成例を示すサブブロック図である。

【図4】図1におけるデータサブブロックの構成例を示すサブブロック図である。

【図5】図4における多相クロック発生部の構成例を示すサブブロック図である。

【図6】本発明の第2の実施例におけるクロック判定部の判定処理を説明する図である。

【図7】本発明の第3の実施例によるビット同期回路の構成を示すサブブロック図である。

【図8】受信パースト信号に同期した信号を判定する部

現を説明する装置内部クロックと受信バースト値との位相関係の例を示す図である。

【図9】従来技術によるポイント対マルチポイント方式の光伝送システムの構成例を示すブロック図である。

【図10】1つの通信装置が複数の通信装置からの情報セルを受信する場合の状況を説明する図である。

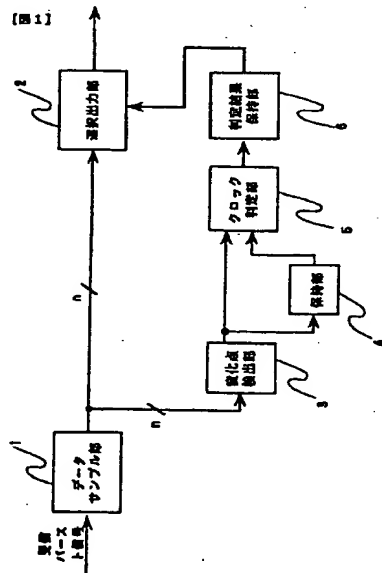
【図11】両者の時間変化と識別された信号との関係を説明する図である。

【符号の説明】

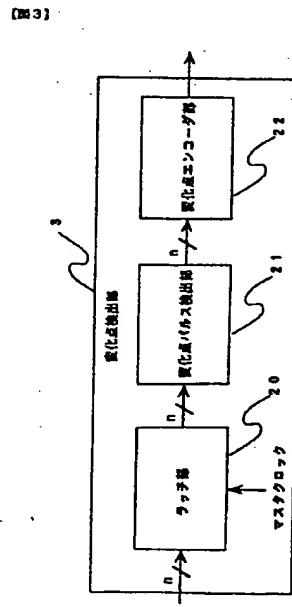
- 1 データサンプリング部
- 2 選択出力部
- 3 変化点検出部
- 4 保持部

- 5 クロック判定部
- 6 判定結果保持部
- 7 積分部
- 20 ラッチ部
- 21 変化点バースト検出部
- 22 変化点エンコーダ部
- 30 多相サンプリング部
- 31 多相クロック発生部
- 32 シフトレジスタ部
- 33-1-1-33-7 遅延部
- 34 分周部
- 100、101-1、101-2 通信装置
- 102 スターカプラ

【図1】

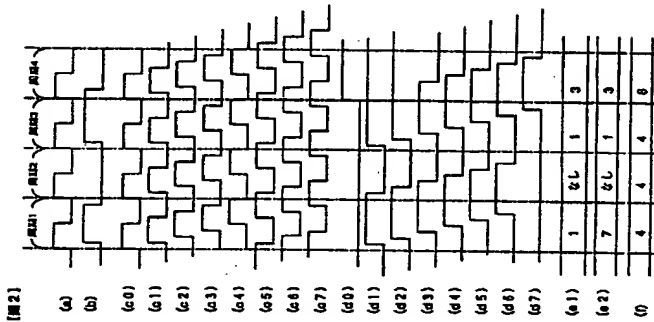


【図3】



【図3】

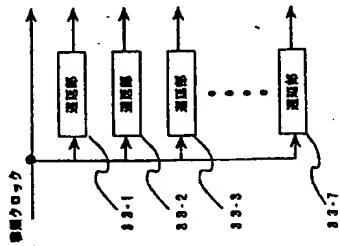
【図2】



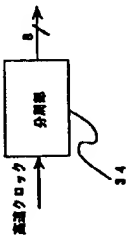
【図6】

1番以内 変化点検出部	2番以内 変化点検出部	3番以内 変化点検出部	4番以内 変化点検出部	5番以内 変化点検出部	6番以内 変化点検出部	7番以内 変化点検出部	8番以内 変化点検出部	9番以内 変化点検出部	10番以内 変化点検出部	11番以内 変化点検出部	12番以内 変化点検出部	13番以内 変化点検出部	14番以内 変化点検出部	15番以内 変化点検出部	16番以内 変化点検出部	17番以内 変化点検出部	18番以内 変化点検出部	19番以内 変化点検出部	20番以内 変化点検出部	21番以内 変化点検出部	22番以内 変化点検出部	23番以内 変化点検出部	24番以内 変化点検出部	25番以内 変化点検出部	26番以内 変化点検出部	27番以内 変化点検出部	28番以内 変化点検出部	29番以内 変化点検出部	30番以内 変化点検出部	31番以内 変化点検出部	32番以内 変化点検出部	33番以内 変化点検出部	34番以内 変化点検出部	35番以内 変化点検出部	36番以内 変化点検出部	37番以内 変化点検出部	38番以内 変化点検出部	39番以内 変化点検出部	40番以内 変化点検出部	41番以内 変化点検出部	42番以内 変化点検出部	43番以内 変化点検出部	44番以内 変化点検出部	45番以内 変化点検出部	46番以内 変化点検出部	47番以内 変化点検出部	48番以内 変化点検出部	49番以内 変化点検出部	50番以内 変化点検出部	51番以内 変化点検出部	52番以内 変化点検出部	53番以内 変化点検出部	54番以内 変化点検出部	55番以内 変化点検出部	56番以内 変化点検出部	57番以内 変化点検出部	58番以内 変化点検出部	59番以内 変化点検出部	60番以内 変化点検出部	61番以内 変化点検出部	62番以内 変化点検出部	63番以内 変化点検出部	64番以内 変化点検出部	65番以内 変化点検出部	66番以内 変化点検出部	67番以内 変化点検出部	68番以内 変化点検出部	69番以内 変化点検出部	70番以内 変化点検出部	71番以内 変化点検出部	72番以内 変化点検出部	73番以内 変化点検出部	74番以内 変化点検出部	75番以内 変化点検出部	76番以内 変化点検出部	77番以内 変化点検出部	78番以内 変化点検出部	79番以内 変化点検出部	80番以内 変化点検出部	81番以内 変化点検出部	82番以内 変化点検出部	83番以内 変化点検出部	84番以内 変化点検出部	85番以内 変化点検出部	86番以内 変化点検出部	87番以内 変化点検出部	88番以内 変化点検出部	89番以内 変化点検出部	90番以内 変化点検出部	91番以内 変化点検出部	92番以内 変化点検出部	93番以内 変化点検出部	94番以内 変化点検出部	95番以内 変化点検出部	96番以内 変化点検出部	97番以内 変化点検出部	98番以内 変化点検出部	99番以内 変化点検出部	100番以内 変化点検出部																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【図5】



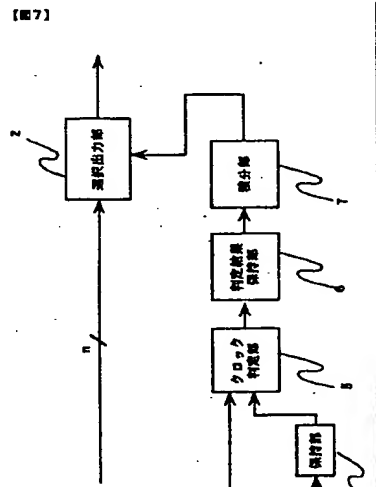
【図6】



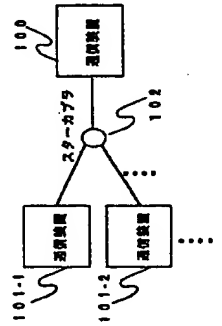
(a)

(b)

【図7】

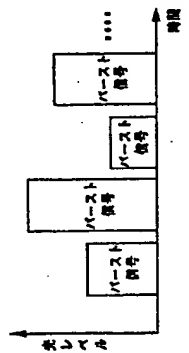


【図9】



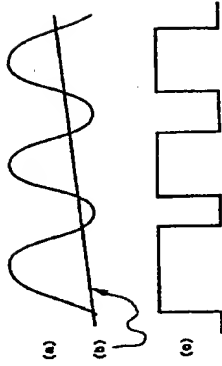
【図8】

【図10】



【図11】

【図11】



フロントページの続き

(72)発明者 秋和 忠

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 奥村 政行

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**